

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-134214

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G09F 9/30  
// H05B 33/14

(21)Application number : 11-315803

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 05.11.1999

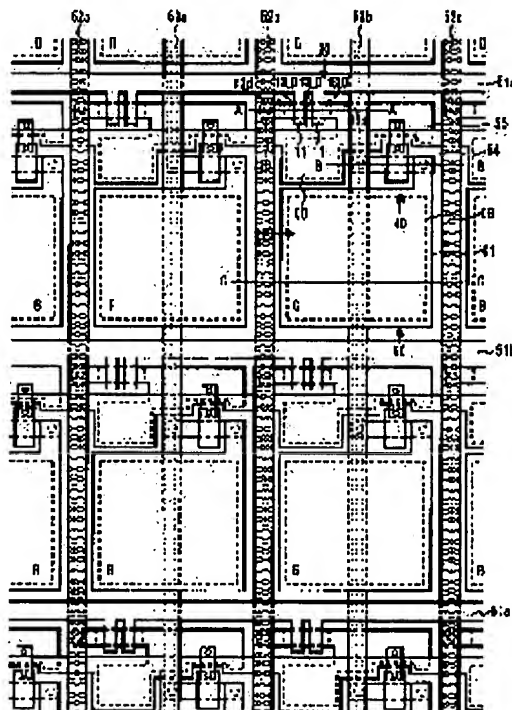
(72)Inventor : FURUMIYA NAOAKI  
OKUYAMA MASAHIRO

## (54) DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a display device which is capable of obtaining satisfactory display by preventing a driving signal line and a driving signal line from being short-circuited while suppressing the increase of processes by the forming of them on different layers.

**SOLUTION:** This device is a display device in which display pixels 110 which are respectively provided with an EL element 60 having a light emitting layer between a cathode 67 and a anode 61, a TFT for switching 30 supplying a driving signal to the element 60 and a TFT for driving an EL element supplying a current to the EL element 60 are arranged in a matrix shape and which is provided with driving signal lines 52a, 52b supplying a driving signal to the TFT for switching 30 and driving power source lines 53a, 53b supplying a current corresponding to the driving signal to the EL element 60 and the driving signal lines 52a, 52b are arranged by being made to be away from the driving power source lines 53a, 53b in this device.



## LEGAL STATUS

[Date of request for examination]

01.11.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-134214  
(P2001-134214A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 9 F 9/30	3 3 6	G 0 9 F 9/30	3 3 6 3 K 0 0 7
	3 3 8		3 3 8 5 C 0 9 4
	3 6 5		3 6 5 Z
// H 0 5 B 33/14		H 0 5 B 33/14	A

審査請求 未請求 請求項の数11 O L (全 11 頁)

(21) 出願番号 特願平11-315803

(22) 出願日 平成11年11月5日 (1999.11.5)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 古宮 直明

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 奥山 正博

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

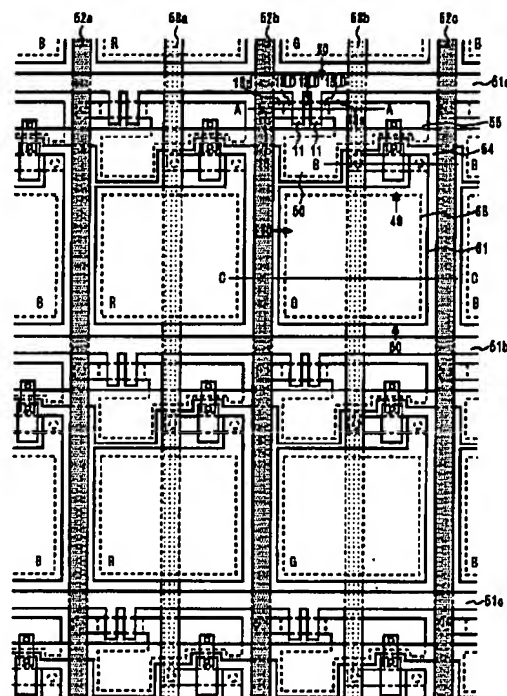
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 駆動信号線と駆動信号線とを異なる層に形成することによる工程の増大を抑制しつつ、両線が短絡することを防止し良好な表示が得られる表示装置を提供する。

【解決手段】 陰極67と陽極61との間に発光層を有するEL素子60と、EL素子60に駆動信号を供給するスイッチング用TFT30と、EL素子60に電流を供給するEL素子駆動用TFTとを備えた表示画素110がマトリクス状に配置されており、スイッチング用TFT30に駆動信号を供給する駆動信号線52a、52bと、駆動信号に応じて電流をEL素子60に供給する駆動電源線53aとを備えた表示装置であって、駆動信号線52a、52bが駆動電源線53aと離間して配置されている。



## 【特許請求の範囲】

【請求項 1】 陰極と陽極との間に発光層を有する自発光素子と、該自発光素子に駆動信号を供給するスイッチング用薄膜トランジスタと、前記自発光素子に電流を供給する自発光素子駆動用薄膜トランジスタとを備えた表示画素がマトリクス状に配置されており、前記スイッチング用薄膜トランジスタに駆動信号を供給する駆動信号線と、前記駆動信号に応じて電流を前記自発光素子に供給する駆動電源線とを備えた表示装置であって、前記駆動信号線又は前記駆動電源線のいずれか一方が前記陽極と重畳するように配置されていることを特徴とする表示装置。

【請求項 2】 前記駆動信号線又は及び前記駆動電源線のうちいずれか一方が、前記陽極の下層に絶縁膜を介して重畳するように配置されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記駆動電源線は、互いに隣接する前記駆動信号線間のほぼ中央に前記駆動電源線が配置されていることを特徴とする請求項 1 又は 2 に記載の表示装置。

【請求項 4】 前記スイッチング用薄膜トランジスタ又は及び前記自発光素子駆動用薄膜トランジスタのうちいずれか一方の薄膜トランジスタはが前記駆動電源線に対して一方の側に配置され、他方の薄膜トランジスタはが他方の側に配置されていることを特徴とする請求項 1 乃至 3 のうちいずれか 1 項に記載の表示装置。

【請求項 5】 前記駆動信号線と前記駆動電源線とは交互に配列されており、各駆動信号線と駆動電源線の間には、各間毎に前記スイッチング用薄膜トランジスタ及び前記自発光素子駆動用薄膜トランジスタが交互に配置されていることを特徴とする請求項 1 乃至 4 のうちいずれか 1 項に記載の表示装置。

【請求項 6】 前記駆動信号線及び駆動電源線は列方向に延在するとともに、行方向に交互に配置されており、該交互に配置された各前記駆動信号線及び駆動電源線との間に、前記スイッチング用薄膜トランジスタ又は前記自発光素子駆動用薄膜トランジスタが配置されていることを特徴とする請求項 1 乃至 5 のうちいずれか 1 項に記載の表示装置。

【請求項 7】 各々が所定の色を呈する複数の前記表示画素を周期的に行方向に配列し、該表示画素行を複数列設けると共に、隣接する行において前記表示画素が所定画素分だけ行方向にずれて配列されており、列方向に延びる前記駆動電源線は、行毎に異なる色の前記表示画素と接続されていることを特徴とする請求項 1 乃至 6 のうちいずれか 1 項に記載の表示装置。

【請求項 8】 前記駆動信号線は、行毎に同色の前記表示画素と接続されていることを特徴とする請求項 1 乃至 7 のうちいずれか 1 項に記載の表示装置。

【請求項 9】 前記各表示画素行には、赤、緑、青色を

呈する画素が周期的に行方向に配列されていることを特徴とする請求項 7 乃至 8 のうちいずれか 1 項に記載の表示装置。

【請求項 10】 前記各色の表示画素の配列が、ストライプ配列又はデルタ配列であることを特徴とする請求項 1 乃至 9 のうちいずれか 1 項に記載の表示装置。

【請求項 11】 前記自発光素子は、エレクトロルミネッセンス素子であることを特徴とする請求項 1 乃至 10 のうちいずれか 1 項に記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は表示装置に関し、特にエレクトロルミネッセンス素子及び薄膜トランジスタを備えたエレクトロルミネッセンス表示装置に関する。

## 【0002】

【従来の技術】近年、エレクトロルミネッセンス (Electro Luminescence: 以下、「EL」と称する。) 素子を用いた表示装置が、CRT や LCD に代わる表示装置として注目されており、例えば、その EL 素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「TFT」と称する。) を備えた表示装置の研究開発も進められている。

【0003】表示装置の表示画素の配列方法としては、列方向に同じ色の表示画素を配列したいわゆるストライプ配列及びデルタ配列とがある。ストライプ配列は、例えばパソコンのディスプレイとしては有効であり、デルタ配列は解像度が高く動画を表示するディスプレイとして有効であった。

【0004】図 5 に従来の表示画素がストライプ配列である EL 表示装置の表示画素近傍の平面図を示し、図 6 (a) に図 5 中の A-A 線に沿った断面図を示し、図 6 (b) に図 5 中の B-B 線に沿った断面図を示し、図 6 (c) に図 5 中の C-c 線に沿った断面図を示す。

【0005】図 5 に示すように、行方向 (同図左右方向) にゲート信号線 51a、51b が複数本延在しており、列方向 (同図上下方向) に駆動信号線 53a、53b が複数本延在しており、それらは互いに交差しており、両信号線によって囲まれる領域は表示画素領域 110 であり、その各表示画素領域 110 には、EL 表示素子 60、スイッチング用 TFT 30、保持容量 50 及び EL 素子駆動用 TFT 40 が配置されている。

【0006】ゲート信号線 51a、51b と駆動信号線 53a、53b とに囲まれる表示画素領域 110 の EL 表示素子 60、スイッチング用 TFT 30、保持容量 50 及び EL 素子駆動用 TFT 40 について図 5 及び図 6 に従って説明する。

【0007】スイッチング用 TFT 30 は、ゲート信号線 51a に接続されておりゲート信号が供給されるゲート電極 11 と、駆動信号線 52a に接続されており駆動信号が供給されるドレイン電極 16 と、EL 素子駆動用

10

20

30

40

50

TFT40のゲート電極41に接続されているソース電極13sとからなる。絶縁性基板10上に、能動層である多結晶シリコン膜（以下、「p-Si膜」と称する。）を形成し、その上にゲート絶縁膜12を介してゲート電極11が形成されている。

【0008】また、ゲート信号線51aと並行に保持容量電極線54が配置されている。この保持容量電極線54は、ゲート絶縁膜12を介して下層に形成した容量電極55との間で電荷を蓄積して容量を成している。この保持容量50は、ソース13sの一部を延在して成っており、EL素子駆動用TFT40のゲート電極41に印加される電圧を保持するために設けられている。

【0009】EL素子駆動用TFT40は、スイッチング用TFT30のソース13sに接続されているゲート電極41と、EL素子60の陽極61に接続されソース43sに接続されたソース電極44と、EL素子60に供給される駆動電源線53bに接続されたドレイン43dとから成る。

【0010】また、EL素子60は、ソース電極43sに接続された陽極61と、共通電極である陰極67、及びこの陽極61と陰極67との間に挟まれた発光素子層66から成る。

【0011】ゲート信号線51aからのゲート信号がゲート電極11に印加されると、スイッチング用TFT30がオンになる。そのため、駆動信号線52aから駆動信号がEL素子駆動用TFT40のゲート電極41に供給され、そのゲート電極41の電位がドレイン信号線52aの電位と同電位になる。そしてゲート電極41に供給された電流値に相当する電流が駆動電源に接続された駆動電源線53bからEL素子60に供給される。それによってEL素子60は発光する。

【0012】なお、EL素子60は、ITO (Indium Tin Oxide) 等の透明電極から成る陽極61、MTDA TA (4,4'-bis(3-methylphenylphenylamino)biphenyl) から成る第1ホール輸送層62、TPD (4,4',4"-tris(3-methylphenylphenylamino)triphenylamine) からなる第2ホール輸送層63、キナクリドン (Quinacridone) 誘導体を含むBebq2 (10-ベンゾ[h]キノリノールベリリウム錯体) から成る発光層64及びBebq2から成る電子輸送層65からなる発光素子層66、フッ化リチウム (LiF) とアルミニウム (Al) の積層体あるいはマグネシウム・インジウム合金から成る陰極67がこの順番で積層形成された構造である。

【0013】またEL素子は、陽極から注入されたホールと、陰極から注入された電子とが発光層の内部で再結合し、発光層を形成する有機分子を励起して励起子が生じる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0014】また、図7に従来のデルタ配列のEL表示

装置の表示画素付近の平面図を示し、図8(a)に図7中のA-A線に沿った断面図を示し、図8(b)に図7中のB-B線に沿った断面図を示し、図8(c)に図7中のC-C線に沿った断面図を示す。

【0015】図7に示すように、各ゲート信号線51a, 51b, 51cが延在する方向（行方向）には複数の表示画素が赤色(R), 緑色(G), 青色(B)を1周期として繰り返し配置されている。そして、その隣接する各ゲート信号線に接続された各表示画素は、隣接する各ゲート信号線同士で互いに、各ゲート信号線が延在する方向にずれて配置されている。いわゆるデルタ配列である。

【0016】即ち、行方向に配列した複数の表示画素と、それらの複数の表示画素に隣接した次の行に同じく行方向に配列した複数の表示画素とは、互いに所定表示画素分だけ行方向にずらせて配列されている。

【0017】また、駆動電源線53aは、ゲート信号線51aに対応した表示画素110RのEL素子駆動用TFTのドレインに接続され、そしてゲート信号線51bに対応した表示画素110GのEL素子駆動用TFTのドレインに接続されている。

【0018】これらの各TFTに接続される際には、駆動電源線53aは表示画素110Rに隣接する表示画素に駆動信号を供給する駆動信号線52bと並行であり、また表示画素110Gに隣接する表示画素に駆動信号を供給する駆動信号線52aと並行に配置されている。

【0019】

【発明が解決しようとする課題】ところで、図5及び図7のように、列方向に同じ色の表示画素を配列したいいわゆるストライプ配列、及び行毎に所定の表示画素分だけずらせたデルタ配列において、いずれの配列の場合にも駆動信号線と駆動電源線とはそれらの製造工程が増大することを避けるために、同一の材料で同時に形成する。

【0020】即ち、両線52c, 53bは両線の材料であるAlをCVD法等により層間絶縁膜15上に成膜し、その上にレジストパターンを形成してAlをエッチングすることにより同時に同一材料で同層に形成される。

【0021】ところが、その両線の形成の際に、そのパターンを形成するマスク等に微少なゴミや異物が付着して、その異物等によりパターンが本来形成されるべき両線の形状に形成できない場合には、そのパターンに基づいてエッチングしたAlが両線間をまたぐように残査してしまうことになる。

【0022】そうすると、同一層に形成した駆動信号線と駆動電源線が短絡してしまうことになるという欠点があった。

【0023】この欠点を解消するために、これらの配線を異なる層に形成すればよいが、そうすると工程が増えコストが増大してしまうという欠点があった。

【0024】そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、工程が増大することなく、駆動信号線と駆動電源線が短絡することなく良好な表示が得られる表示装置を提供することを目的とする。

#### 【0025】

【課題を解決するための手段】本発明の表示装置は、陰極と陽極との間に発光層を有する自発光素子と、該自発光素子に電流を供給するタイミングを制御する駆動信号を供給するスイッチング用薄膜トランジスタと、前記自発光素子に電流を供給する自発光素子駆動用薄膜トランジスタとを備えた表示画素がマトリクス状に配置されており、前記スイッチング用薄膜トランジスタに駆動信号を供給する駆動信号線と、前記駆動信号に応じて電流を前記自発光素子に供給する駆動電源線とを備えた表示装置であって、前記駆動信号線又は前記駆動電源線のいずれか一方が前記陽極と重畳するように配置されているものである。

【0026】また、前記駆動信号線又は前記駆動電源線のいずれか一方が、前記陽極の下層に絶縁膜を介して重畳するように配置されている表示装置である。

【0027】また、前記駆動電源線は、互いに隣接する前記駆動信号線のほぼ中央に配置されている表示装置である。

【0028】このような構成を採ることにより、駆動信号線と駆動電源線とが同一層に形成されながらも、両線が短絡して表示不良が発生することを防止できる。

【0029】また、本発明の表示装置は、前記スイッチング用薄膜トランジスタ又は前記自発光素子駆動用薄膜トランジスタのいずれか一方の薄膜トランジスタが前記駆動電源線に対して一方の側に配置され、他方の薄膜トランジスタが他方の側に配置されている表示装置である。

【0030】また、前記駆動信号線と前記駆動電源線とは交互に配列されており、各駆動信号線と駆動電源線との間には前記スイッチング用薄膜トランジスタ及び前記自発光素子駆動用薄膜トランジスタが交互に配置されている表示装置である。

【0031】更に、前記駆動信号線及び駆動電源線は列方向に延在するとともに、行方向に交互に配置されており、該交互に配置された各前記駆動信号線及び駆動電源線間に、前記スイッチング用薄膜トランジスタ又は前記自発光素子駆動用薄膜トランジスタが配置されている表示装置である。

【0032】また、本発明の表示装置は、各々が所定の色を呈する複数の前記表示画素を周期的に行方向に配列し、該表示画素行を複数列設けると共に、隣接する行において前記表示画素が所定画素分だけ行方向にずれて配列されており、列方向に延びる前記駆動電源線は、行毎に異なる色の前記表示画素と接続されている表示装置である。

【0033】また、前記駆動信号線は行毎に同色の前記表示画素と接続されている表示装置である。

【0034】更に、前記各表示画素行には、赤、緑、青色を呈する画素が周期的に行方向に配列されている表示装置である。

【0035】更にまた、前記各色の表示画素の配列がストライプ配列又はデルタ配列である表示装置である。

【0036】また、前記自発光素子はエレクトロルミネッセンス素子である表示装置である。

10 【0037】このような構成を採ることにより、駆動信号線と駆動電源線とが同一層に形成されながらも両線が短絡することなく、駆動信号線と駆動電源線との間の領域に効率よくスイッチング用 TFT 及び自発光素子駆動用 TFT とを配置することができるとともに、これらの各 TFT が製造工程時のゴミ等の混入により互いに短絡して各色の表示画素において表示不良が発生することが防止できる。

20 【0038】また、駆動信号線と駆動電源線とが短絡して表示不良が発生することなく良好なパソコン等のモニターとして、あるいは高解像度の必要な表示装置として採用することができる。

#### 【0039】

【発明の実施の形態】本発明を EL 表示装置に採用した場合について以下に説明する。

【0040】図 1 は有機 EL 表示装置の表示画素領域の平面図を示し、図 2 (a) は図 1 中の A-A 線に沿った断面図を示し、図 2 (b) は図 1 中の B-B 線に沿った断面図を示し、図 2 (c) は図 1 中の C-C 線に沿った断面図を示す。

30 【0041】本実施の形態においては、EL 素子を備えた表示画素がストライプ状に配列された場合について説明する。

【0042】本実施の形態においては、各色を発光する EL 表示装置に備えた各 TFT 30、40 は、ゲート電極をゲート絶縁膜を介して能動層の上層に設けたいわゆるトップゲート構造の TFT であり、能動層として a-Si 膜にレーザ光を照射して多結晶化した p-Si 膜を用いている。

40 【0043】ここで、ゲート信号線 51a、ゲート信号線 51b、ドレイン信号線 52b 及びドレイン信号線 52c によって囲まれた表示画素領域に注目して説明する。

50 【0044】図 1 及び図 2 に示すように、行方向（同図左右方向）にゲート信号線 51a、51b、51c が複数本延在しており、列方向（同図上下方向）に駆動信号線 52a、52b、52c が複数本延在している。これらの両信号線が互いに交差しており、それら両信号線によって囲まれる領域は表示画素領域 110 でありマトリクス状に配置されている。両信号線 51a、52b の交点付近にはスイッチング用 TFT である第 1 の TFT 3

0が備えられており、そのTFT30のソース33sは保持容量電極線54との間で容量をなす容量電極55を兼ねるとともに、EL素子駆動用TFTである第2のTFT40のゲート41に接続されており、第2のTFTのソース43sは有機EL素子60の陽極61に接続され、他方のドレイン43dは有機EL素子60に供給される電流源である駆動電源線53に接続されている。また、各駆動信号線52a、52b、52c及び駆動電源線53a、53b、53cは、同じ色の表示画素に接続されている。

【0045】また、ゲート信号線51と並行に保持容量電極線54が配置されている。この保持容量電極線54はクロム等から成っており、ゲート絶縁膜12を介してTFTのソース33sと接続された容量電極55との間で電荷を蓄積して容量を成している。この保持容量は、第2のTFT40のゲート電極41に印加される電圧を保持するために設けられている。

【0046】なお、有機EL素子60は、第1の電極である陽極61と発光材料からなる発光素子層66と、第2の電極である陰極67とから成っている。

【0047】図2に示すように、有機EL表示装置は、ガラスや合成樹脂などから成る基板又は導電性を有する基板あるいは半導体基板等の基板10上に、TFT及び有機EL素子を順に積層形成して成る。ただし、基板10として導電性を有する基板及び半導体基板を用いる場合には、これらの基板10上にSiO<sub>2</sub>やSiNなどの絶縁膜を形成した上に第1、第2のTFT及び有機EL素子を形成する。いずれのTFTともに、ゲート電極がゲート絶縁膜を介して能動層の上方にあるいわゆるトップゲート構造である。

【0048】まず、スイッチング用TFTである第1のTFT30について説明する。

【0049】図2(a)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、非晶質シリコン膜（以下、「a-Si膜」と称する。）をCVD法等にて成膜し、そのa-Si膜にレーザ光を照射して熔融再結晶化させて多結晶シリコン膜（以下、「p-Si膜」と称する。）とし、これを能動層13とする。その上に、SiO<sub>2</sub>膜、SiN膜の単層あるいは積層体をゲート絶縁膜12として形成する。更にその上に、Cr、Moなどの高融点金属からなるゲート電極11を兼ねたゲート信号線51aが形成されている。このときゲート電極11は、2つのゲート電極から成るいわゆるダブルゲート構造である。第1のTFT30はスイッチング機能を有するため、オフ電流を抑制するためにこの構造を採る。

【0050】その能動層13には、ゲート電極11下方のチャンネル13cと、このチャンネル13cの両側にチャンネル13c上のゲート電極11をマスクにしてイオンド

ーピングして、ゲート電極11の両側に低濃度領域13LDと、その外側に高濃度領域のソース13s及びドレイン13dが設けられている。即ち、いわゆるLDD構造である。

【0051】そして、ゲート絶縁膜12及び能動層13上の全面には、SiO<sub>2</sub>膜、SiN膜及びSiO<sub>2</sub>膜の順に積層された層間絶縁膜15が形成されており、ドレイン13dに対応して設けたコンタクトホールにAl等の金属を充填してドレイン電極16を兼ねたドレイン信号線52bが設けられる。このとき同時に、駆動電源線53bをAlによって形成する。更に全面に有機樹脂から成り表面を平坦にする平坦化絶縁膜17が形成されている。

【0052】次に、有機EL素子の駆動用TFTである第2のTFT40について説明する。

【0053】図2(b)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、a-Si膜にレーザ光を照射して多結晶化したp-Si膜から成る能動層43及び容量電極55、ゲート絶縁膜12、及びCr、Moなどの高融点金属からなるゲート電極41及び保持容量電極線54が順に形成されており、その能動層43には、チャンネル43cと、このチャンネル43cの両側にソース43s及びドレイン43dが設けられている。そして、ゲート絶縁膜12及び能動層43上の全面に、SiO<sub>2</sub>膜、SiN膜及びSiO<sub>2</sub>膜の順に積層された層間絶縁膜15を形成し、ドレイン43d及びソース43sに対応してそれぞれ設けたコンタクトホールにAl等の金属を充填して駆動電源に接続された駆動電源線53b及びソース電極44が配置されている。ゲート電極41はゲート電極が1つのシングルゲート構造の場合を示したが、EL素子60に電流を供給する機能を有する駆動用TFT40であるから、ゲート電極が2つのダブルゲート構造でも良い。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を備えている。そして、その平坦化絶縁膜17のソース電極44に対応した位置にコンタクトホールを形成し、このコンタクトホールを介してソース電極44とコンタクトしたITOから成る透明電極、即ち有機EL素子の陽極61を平坦化絶縁膜17上に設けている。この陽極61は各表示画素ごとに島状に分離形成されている。

【0054】そして、図1の陽極61内に点線で示すように、その点線で囲む領域を開口部68とする絶縁膜19を配置する。即ち、陽極61の全周に絶縁膜19を配置する。即ち、陽極61の全周に絶縁膜19は陽極61と重畳しており、言い換えれば陽極61の一部に対応した領域、即ち図1中の点線で囲まれる領域に開口部68を持つ絶縁膜19を陽極61及び平坦化絶縁膜17上に形成する。従って、陽極61の端部において、陽極61の端部と発光素子層66及び陰極67とは、この絶縁膜19によって離間されている。なお、この絶縁膜19は、陽極61の厚みによる段差によって発光層の



断線したり、陽極周縁の角部に電界集中が発生しないように形成されていれば良く、陽極61の端部とは絶縁膜19によって発光素子層66及び陰極67のいずれか一方のみが離間していればよい。また、絶縁膜19はSiO<sub>2</sub>膜、SiN膜単層もしくはそれらの積層体から成る絶縁膜でも良く、SOG膜から成る平坦化膜であってもよく、また感光性樹脂から成る平坦化絶縁膜であっても良い。平坦化絶縁膜とすることによりその上方に形成する陰極67を平坦に形成することができ断線が防止できるのでそれが好ましい。

【0055】ここで、駆動電源線53bを配置する位置について、以下に説明する。

【0056】図2(c)に示すように、石英ガラス、無アルカリガラス等からなる絶縁性基板10上に、ゲート絶縁膜12、及びSiO<sub>2</sub>膜、SiN膜及びSiO<sub>2</sub>膜の順に積層された層間絶縁膜15を形成し、ドレイン43d及びソース43sに対応してそれぞれ設けたコンタクトホールにAl等の金属を充填して駆動電源に接続された駆動電源線53b、及び駆動信号線52b、52cが配置されている。更に全面に例えば有機樹脂から成り表面を平坦にする平坦化絶縁膜17を備えている。そして、その平坦化絶縁膜17のソース電極44に対応した位置のコンタクトホールを介してソース電極44とコンタクトしたITOから成る透明電極、即ち有機EL素子の陽極61を平坦化絶縁膜17上に設けている。この陽極61は各表示画素ごとに島状に分離形成されている。

【0057】ここで、前述のように、陽極61の全周縁で絶縁膜19は陽極61と重畳しており、言い換えれば陽極61の一部に対応した領域、即ち図1中の点線で囲まれる領域に開口部68を持つ絶縁膜19を陽極61及び平坦化絶縁膜17上に形成する。従って、陽極61の端部において、陽極61の端部と発光素子層66及び陰極67とは、この絶縁膜19によって離間されている。

【0058】陽極61及び絶縁膜19上に、MTDATAから成る第1ホール輸送層62、TPDからなる第2ホール輸送層63を全面に蒸着法により堆積し、キナクリドン誘導体を含むBeq2から成る発光層64を各表示画素に対応して島状に蒸着法により堆積し、更にその上にBeq2から成る電子輸送層65を堆積する。こうして、第1ホール輸送層62、第2ホール輸送層63、発光層64及び電子輸送層65からなる発光素子層66が形成される。更に電子輸送層65の上に、フッ化リチウム(LiF)とアルミニウム(Al)の積層体あるいはマグネシウム・インジウム合金から成る陰極67が積層形成される。このように、各層が堆積された構造を有するEL素子が形成される。また、各表示画素に形成されたEL素子60は、赤色(R)、緑色(G)、青色(B)の発光層材料をそれぞれ蒸着法によって形成し、各表示画素ごとに各一色を発光させる。即ち、R、G、Bの各色を呈する表示画素が周期的に行方向に配列

されている。

【0059】ここで、駆動電源線53bは、従来のように駆動信号線52cと隣接して並行に配置されていない。即ち、駆動電源線53bは陽極61の下層に平坦化絶縁膜17を介して設けられており、その配置位置は陽極61のほぼ中央であり、更に駆動信号線52cとは間隔を持って配置されている。

【0060】例えば、駆動信号線52a、52b、52c及び駆動電源線53a、53b、53cの線幅はいずれも約10μmであり、1つの表示画素の陽極のサイズは約90μm×約250μmであり、行方向(左右方向)に隣接する各陽極間の間隔は約30μmである。また、各駆動信号線は各陽極間のほぼ中央付近に延在している。従って、各駆動電源線の中央と各駆動信号線の中央との間隔は約6055μmであり、製造工程においてゴミ等の異物が付着することによって、駆動信号線と駆動電源線とが短絡することが防止できる。なお、図1においては、便宜上陽極を正方形に近い形に描いているが、陽極を含む表示画素の大きさは適宜選択することが可能である。

【0061】また、駆動電源線を配置する位置は、上述の実施の形態においては、陽極のほぼ中央としたが、本発明はそれに限定されるものではなく、一方の駆動信号線に近くなっていても良く、駆動信号線と駆動電源線とが短絡しない間隔であればよい。好ましくは上述の通り、駆動信号線と駆動電源線とが最も間隔を有することとなるように、隣接する駆動信号線間のほぼ中央に配置することが望ましい。そうすることにより、各表示画素のサイズが小さくなって各駆動信号線の間隔が小さくなった場合にも、駆動電源線と短絡することが防止できる。

【0062】このように、同層に同じ材料で同時に形成される駆動電源線53bと駆動信号線52cとを間隔を持たせた位置、即ち、駆動信号線52cは従来の位置に配置し駆動電源線53bを陽極61のほぼ中央に配置することにより、駆動信号線52cと駆動電源線53bとが短絡することが防止できる。

【0063】また、図1に示すように、駆動電源線を駆動信号線と離間させて表示画素のほぼ中央に配置することにより、駆動信号線と駆動電源線との間、即ち駆動電源線の左右にそれぞれスイッチング用TFT30及びEL素子駆動用TFT40を形成することができ、TFTを効率よく配置できるとともに、互いのTFTが短絡することが防止できる。更に、各TFTを設ける面積に余裕が有ることから、要求されるTFTサイズの各TFTを形成することができる。即ち、各発光素子層の各色の材料による発光効率が異なっている場合に、EL素子に電流を供給する各色ごとのEL素子駆動用TFTのサイズを、発光効率が低い材料の色の場合を最も小さくして、発光効率が低くなるにつれてEL素子駆動用TFT



のサイズを順に大きくする際にも、各TFTサイズのTFTを形成することができる。

【0064】更に、発光素子層から発光される光は図2(c)の下方向に放出されるが、その下層、即ち発光される光の観察者側に駆動電源線を配置しても、EL素子は自発光素子であることから発光される光は放射状に発光されるため、駆動電源線による輝度の低下は、表示を観察する際には無視できるものであるため、陽極の下層に配置しても良い。

＜第2の実施の形態＞図3に有機EL表示装置の表示画素領域の平面図を示し、図4(a)は図3中のA-A線に沿った断面図を示し、図4(b)は図3中のB-B線に沿った断面図を示し、図4(c)は図3中のC-C線に沿った断面図を示す。

【0065】本実施の形態が第1の実施の形態と異なる点は、表示画素の配列がいわゆるデルタ配列である点であり、それによって駆動電源線に接続される表示画素の色が異なる点である。

【0066】図3及び図4に示すように、各ゲート信号線51a、51b、51cが延在する方向(行方向)には複数の表示画素が赤色(R)、緑色(G)、青色(B)を1周期として繰り返し配置されている。そして、その隣接する各ゲート信号線に接続された各表示画素は、隣接する各ゲート信号線同士で互いに、各ゲート信号線が延在する方向にずれて配置されている。いわゆるデルタ配列である。

【0067】即ち、行方向に配列した複数の表示画素と、それらの複数の表示画素に隣接した次の表示画素行に、同じく行方向に配列した複数の表示画素とは、互いに所定表示画素分だけ行方向にずらせて配列されている。本実施の形態においては、同じ色の表示画素同士では概ね0.7表示画素分だけ行方向にずらしている。

【0068】例えば、隣接するゲート信号線51aとゲート信号線51bに注目すると、ゲート信号線51aに接続されている各表示画素と、ゲート信号線51bに接続されている各表示画素とは、本実施の形態においては、同じ色の表示画素でみると、各ゲート信号線の延在方向に互いに概ね0.7表示画素分ずれて配置されている。

【0069】また、各駆動信号線52a、52b、52cは、主として列方向に延在しており、同じ色の表示画素に接続されており、各行の表示画素の配列に応じて各行ごとに屈曲し左右に蛇行して配置されている。即ち、隣接する行方向の表示画素の所定画素分だけ屈曲して凹凸を繰り返しながら列方向に配置されている。

【0070】また、各駆動電源線53a、53b、53cは列方向に配置されており、異なる色の表示画素に接続されており、各行の表示画素の配列に応じて屈曲し左右に蛇行して配置されている。即ち、駆動電源線53aに注目してみると、その駆動電源線53aは、ゲート信

号線51aに接続されたRの表示画素のほぼ中央に配置されてその表示画素のEL素子駆動用TFT40に接続され、続いて次の行のゲート信号線51bに接続されたGの表示画素のほぼ中央に配置されてその表示画素のEL素子駆動用TFT40に接続され、続いて更に次の行のゲート信号線51cに接続されたRの表示画素のほぼ中央に配置されてその表示画素のEL素子駆動用TFTに接続されている。なお、各駆動信号線52a、52b、52cと、各駆動電源線53a、53b、53cとは、Al等の導電材料から成っており、互いに短絡を防止するために離間されておりかつ交差しないように配置されている。具体的な位置の例としては第1の実施の形態で説明したように、駆動信号線と駆動信号線との間隔が約60μmと成るように配置する。

【0071】このように、駆動信号線と駆動電源線とが同一層に形成されるにも関わらず離間されているので互いに短絡することが防止できる。また、いわゆるデルタ配列であって、各ゲート信号線に接続された表示画素群ごとに各駆動電源線に異なる色の表示画素を接続しても、駆動信号線と駆動電源線とが同層に形成されながらも交差することなく形成することが可能である。こうして、駆動信号線と駆動信号線とを異なる層に形成することによる工程の増大を抑制しつつ、解像度の高い表示を得ることができる。

【0072】また、EL素子は、駆動電源線に一定の値で流れている電流をEL素子駆動用TFTで制御して各色のEL素子に電流を供給して発光するが、その駆動電源線に流れている電流値は一定であっても、異なる色の表示画素のEL素子駆動用TFT40に駆動電源線を接続することが可能であるので、デルタ配列でありながら、駆動信号線と駆動電源線とが同層で交差しないで形成することを可能とした。

【0073】また、EL素子60は、ソース電極43sに接続された陽極61aと、共通電極である陰極67、及びこの陽極61と陰極67との間に挟まれた発光素子層66から成る。各表示画素には、赤色(R)、緑色(G)、青色(B)の発光層材料をそれぞれ蒸着法によって形成し、各表示画素ごとに各一色を発光させる。

【0074】上述のスイッチング用TFT、保持容量、EL素子駆動用TFT及びEL素子は、ゲート信号線側から図中下方向に向かって、この順番に各領域が配置されている。このように配置することにより、上下に位置する表示画素の発光層間の距離を大きくすることができ、EL素子の各色の発光層を蒸着する際に、回り込みによる隣接する他色の発光層との混合を防止することができる。また、第1の実施の形態と同様に、駆動電源線を駆動信号線間のほぼ中央に配置することにより、駆動電源線の左側にスイッチング用TFTを配置し、左側にEL素子駆動用TFTを配置することができるとともに、各色ごとにEL素子駆動用TFTのTFTサイズを

異ならせて大きくする場合にも余裕をもって設計することが可能である。

【0075】ゲート信号線51aからのゲート信号がゲート電極11に印加されると、スイッチング用TFT30がオンになる。そのため、駆動信号線52aから駆動信号がEL素子駆動用TFT40のゲート電極41に供給され、そのゲート電極41の電位が駆動信号線52aの電位と同電位になる。そしてゲート電極41に供給された電流値に相当する電流が駆動電源に接続された駆動電源線53bからEL素子60に供給される。それによ

ってEL素子60は発光する。

【0076】また、各色を図1のようにR、G、Bを発光させるためには、まずRの発光材料を配置する個所に開口部を有するメタルマスクを陽極及び平坦化膜上に載せてRの発光材料を蒸着し、続いてGの発光材料を配置する個所に開口部を有するメタルマスクにてGの発光材料を蒸着し、更にBの発光材料を配置する個所に開口部を有するメタルマスクにてBの発光材料を蒸着して発光層を形成する。このとき隣接する異なる色の発光層に異なる色の発光材料が回り込んで色が混合させることがな

いようにする必要がある。

【0077】なお、本実施の形態においては、駆動信号線の蛇行のピッチを0.7表示画素分としたが本発明はそれに限定されるものではない。

【0078】また、本実施の形態においては、能動層として多結晶シリコン膜を用いたが、完全に能動層全体が結晶化されていない微結晶シリコン膜を用いても良い。

【0079】また、絶縁性基板とは、ガラスや合成樹脂などから成る絶縁性基板、又は導電性を有する基板あるいは半導体基板等の表面にSiO<sub>2</sub>膜やSiNなどの絶縁膜を形成して基板表面が絶縁性を有している基板をいうものとする。

【0080】

【発明の効果】本発明によれば、駆動信号線と駆動信号線とを異なる層に形成することによる工程の増大を抑制

しつつ、両線が短絡することによる表示不良を防止した表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すEL表示装置の平面図である。

【図2】本発明の第1の実施の形態を示すEL表示装置の断面図である。

【図3】本発明の第2の実施の形態を示すEL表示装置の平面図である。

【図4】本発明の第2の実施の形態を示すEL表示装置の断面図である。

【図5】従来のEL表示装置の平面図である。

【図6】従来のEL表示装置の断面図である。

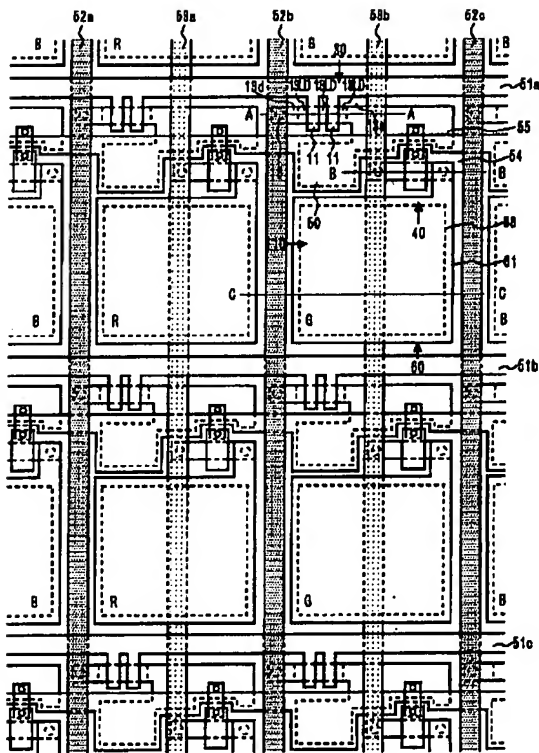
【図7】従来のEL表示装置の平面図である。

【図8】従来のEL表示装置の断面図である。

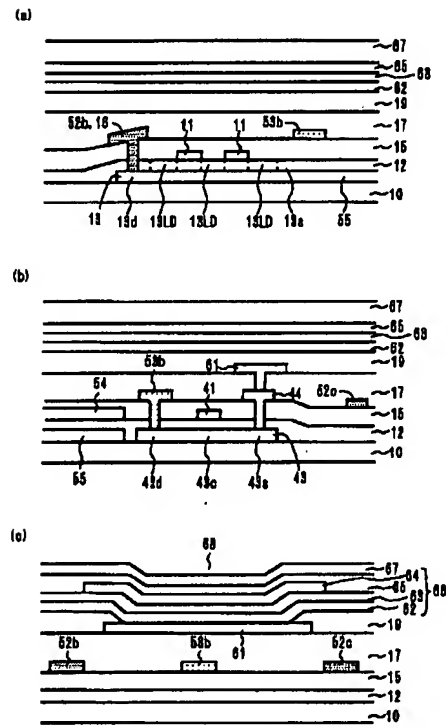
【符号の説明】

11、41	ゲート電極
13、43	能動層
13s、43s	ソース領域
13d、43d	ドレイン領域
13c、43c	チャンネル領域
16	ソース電極
30	スイッチング用T
FT	
40	EL素子駆動用T
FT	
51a、51b、51c	ゲート信号線
52a、52b、52c	駆動信号線
53a、53b	駆動電源線
60	EL素子
61	陽極
66	発光層
67	陰極
68	開口部
110	表示領域

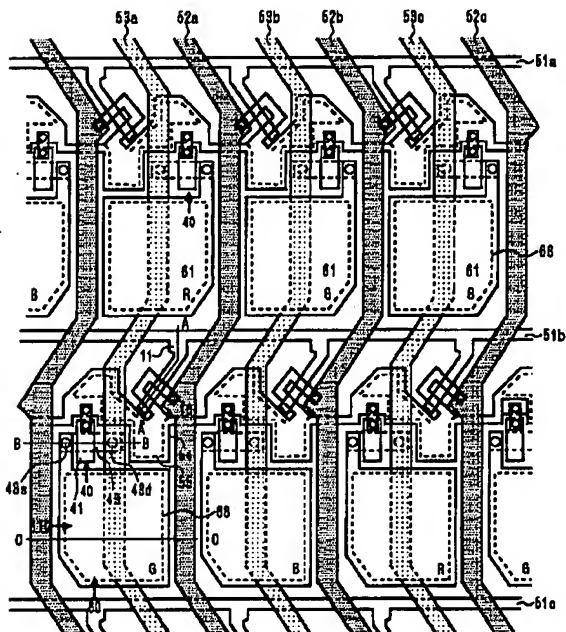
【図 1】



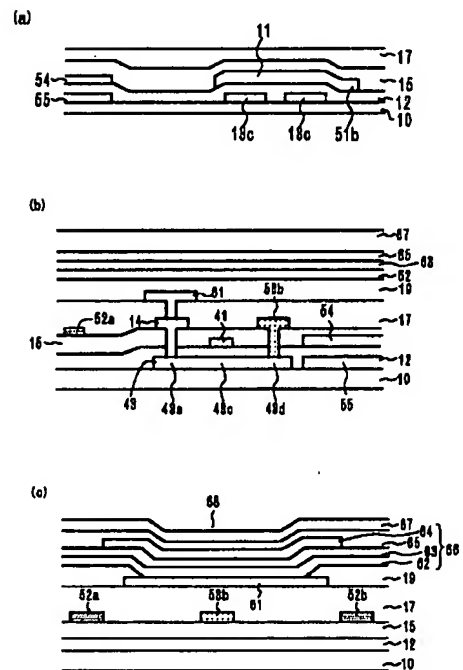
【図 2】



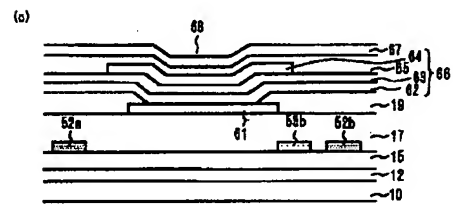
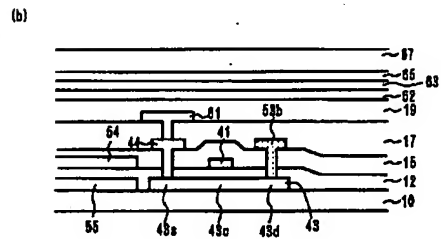
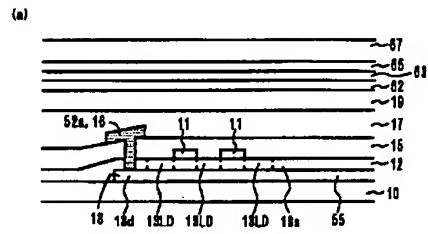
【图3】



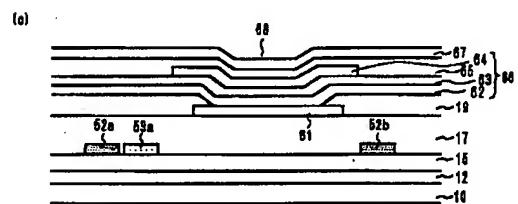
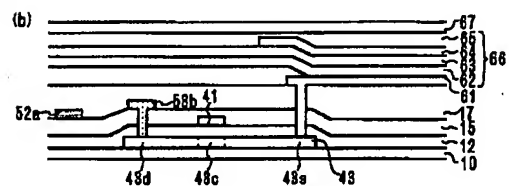
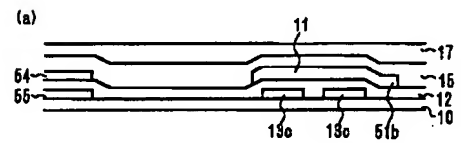
【图 4】



【図 6】



【图 8】



フロントページの続き

Fターム(参考) 3K007 AB08 AB18 BA06 CA01 DA02  
FA01  
5C094 AA21 AA42 AA43 BA03 BA12  
BA29 CA19 CA24 DA13 EA03  
EA04 EA07 EA10 FA10